

# Übungsaufgabe

Timing-Grundlagen: Verzögerungen, Setup/Hold,  
Takt-Skew und Leistungskennwerte

**Universität:** Technische Universität Berlin  
**Kurs/Modul:** Technische Grundlagen der Informatik (TechGI) - Digitale Systeme  
**Erstellungsdatum:** September 6, 2025



Zielorientierte Lerninhalte, kostenlos!  
Entdecke zugeschnittene Materialien für deine Kurse:

<https://study.AllWeCanLearn.com>

Technische Grundlagen der Informatik (TechGI) - Digitale Systeme

## Aufgabe 1: Timing-Grundlagen: Verzögerungen, Setup/Hold, Takt-Skew und Leistungskennwerte

Betrachten Sie grundlegende Timing-Größen in digitalen Schaltungen. Die folgenden Aufgaben fokussieren auf Verzögerungen (Propagationsverzögerung und Contamination Delay), Setup-/Hold-Zeiten, Takt-Skew und Leistungskenngrößen.

a) Verzögerungen definieren und erklären

Was versteht man unter der Propagationsverzögerung  $t_{pd}$  und der Contamination Delay  $t_{cd}$  eines Gatters? Welche physikalischen Faktoren beeinflussen diese Größen (z. B. Last, Gate-Charakteristika, Leitungswege)? Welche Rolle spielen sie für das Timing eines Schaltnetzes?

b) Pfadverzögerung in einer Gatterkette berechnen

Gegeben eine Pfadkette aus zwei aufeinanderfolgenden Gattern mit folgenden Propagationsverzögerungen:

$$t_{pd,1} = 1.2 \text{ ns}, \quad t_{pd,2} = 0.8 \text{ ns.}$$

und Contamination Delays

$$t_{cd,1} = 0.6 \text{ ns}, \quad t_{cd,2} = 0.4 \text{ ns.}$$

Berechne: - die Gesamtdauer der Pfad-Verzögerung

$$t_{pd,path} = t_{pd,1} + t_{pd,2},$$

- die minimale Pfad-Verzögerung

$$t_{cd,path} = t_{cd,1} + t_{cd,2}.$$

c) Setup/ Hold mit Takt-Skew

Ein Registerpaar bildet eine Timing-Constraint: Taktperiode  $T = 10 \text{ ns}$ , Setup-Zeit  $t_{setup} = 1.5 \text{ ns}$ , Hold-Zeit  $t_{hold} = 0.7 \text{ ns}$ . Die Pfadverzögerung beträgt  $t_{pd,path} = 2.0 \text{ ns}$  und die minimale Pfadverzögerung  $t_{cd,path} = 1.0 \text{ ns}$ . Der Takt-Skew zwischen Launch- und Capture-Takt beträgt  $s = +0.8 \text{ ns}$  (Destination clock kommt später). Berechne: - Setup-Slack:  $Slack_{setup} = T + s - (t_{pd,path} + t_{setup})$ , - Hold-Slack:  $Slack_{hold} = t_{cd,path} - (t_{hold} - s)$ .

Entscheide, ob Timing erfüllt ist (Slack  $\geq 0$ ) und erläutere grob, wie sich eine Änderung des Skew auf beide Slacks auswirkt.

d) Wirkung von Takt-Skew auf Slacks qualitativ diskutieren

Beschreibe grob, welche Auswirkungen eine Zunahme bzw. Abnahme des Skew auf Setup- und Hold-Slack hat und welche Design-Entscheidungen daraus folgen könnten.

## Aufgabe 2: Auswirkungen von Takt-Skew auf Setup/Hold

Gegeben seien zwei Szenarien.

a) Setup/Hold bei positiver Skew-Situation

Gegeben:  $T = 12$  ns,  $t_{pd,path} = 3.5$  ns,  $t_{cd,path} = 1.8$  ns,  $t_{setup} = 2.0$  ns,  $t_{hold} = 0.9$  ns und Skew  $s = +0.6$  ns. Berechne: - Slack<sub>setup</sub> und Slack<sub>hold</sub>, - Ob Timing erfüllt ist.

b) Wirkung negativer Skew

Wie ändern sich Setup- und Hold-Slacks, wenn der Skew auf  $s = -0.8$  ns sinkt, bei denselben übrigen Gegebenheiten wie in a)? Gib die neuen Slacks an und diskutiere qualitativ die Auswirkungen.

## Aufgabe 3: Leistungskennwerte digitaler Systeme

Gegeben seien einfache Schaltungen mit folgenden Größen (Messwerte oder Referenzwerte, frei wählbar, um die Formeln zu üben):

a) Dynamische Leistungsaufnahme

Die Dynamikleistung eines Gatter-Netzes wird oft durch

$$P_{\text{dyn}} = \alpha C V^2 f$$

beschrieben, wobei -  $\alpha$  der mittlere Schaltaktivitätsfaktor, -  $C$  die effektive Lastkapazität je Schaltung, -  $V$  die Versorgungsspannung, -  $f$  die Schwingfrequenz ist.

Gegeben:  $\alpha = 0.25$ ,  $C = 8 \text{ fF}$ ,  $V = 1.1 \text{ V}$ ,  $f = 600 \text{ MHz}$ . Bestimme  $P_{\text{dyn}}$  (in W).

b) Statische Leistungsaufnahme

Angenommen eine statische Leakage-Strömung von  $I_{\text{static}} = 0.9 \mu\text{A}$  bei  $V = 1.1 \text{ V}$ . Berechne die statische Leistung

$$P_{\text{static}} = I_{\text{static}} \cdot V.$$

c) Gesamtleistung und Energie pro Übergang

- Bestimme die Gesamtleistung  $P_{\text{total}} = P_{\text{dyn}} + P_{\text{static}}$ . - Berechne die Energie pro Transition  $E = C V^2$  (mit den gegebenen Werten), und interpretiere grob, wie sich Änderungen von  $C$  oder  $V$  auswirken würden.

d) Diskussion (ohne Lösung)

Nennen Sie drei Faktoren, die sowohl  $P_{\text{dyn}}$  als auch  $P_{\text{static}}$  beeinflussen und erläutern Sie, wie man diese in der Praxis zur Reduktion des Energieverbrauchs einsetzen könnte.

# Lösungen



## Lösungen zu Aufgabe 1: Timing-Grundlagen

a) Lösung:

- Die Propagationsverzögerung  $t_{pd}$  eines Gatters beschreibt die maximale Verzögerung vom Eingang bis zum Ausgang, wenn alle parasitären Größen (Last, Treiberstärke, Gate-Kennlinie, Temperatur, Lastkapazität) berücksichtigt werden. Sie bestimmt die langsame Reaktion eines Schaltnetzes auf eine Eingangsveränderung.
- Die Contamination Delay  $t_{cd}$  ist die minimale Verzögerung von Eingang zu Ausgang. Sie ist wichtig für die Beurteilung der Hold-Zeiten, da sie den schnellstmöglichen Übergang darstellt, der trotz möglicher Abkopplung von Verzögerungen auftreten könnte.
- Physikalische Einflussfaktoren umfassen Last (Kapazität  $C_L$ ), Gate-Charakteristiken (Transistorkarakteristik, Mobilität), Lastwege (Induktivitäten, Kapazitäten in Leiterbahnen) sowie Temperatur und Versorgungsspannung. Diese Faktoren bestimmen die Streuung der Verzögerungen und damit das Timing-Verhalten eines Schaltnetzes.

b) Lösung: Gegeben sei eine Pfadkette aus zwei Gattern mit

$$t_{pd,1} = 1.2 \text{ ns}, \quad t_{pd,2} = 0.8 \text{ ns},$$

$$t_{cd,1} = 0.6 \text{ ns}, \quad t_{cd,2} = 0.4 \text{ ns}.$$

Berechne:

$$t_{pd,path} = t_{pd,1} + t_{pd,2} = 1.2 \text{ ns} + 0.8 \text{ ns} = 2.0 \text{ ns},$$

$$t_{cd,path} = t_{cd,1} + t_{cd,2} = 0.6 \text{ ns} + 0.4 \text{ ns} = 1.0 \text{ ns}.$$

c) Lösung: Gegeben: Taktperiode  $T = 10 \text{ ns}$ , Setup-Zeit  $t_{setup} = 1.5 \text{ ns}$ , Hold-Zeit  $t_{hold} = 0.7 \text{ ns}$ . Pfadverzögerung  $t_{pd,path} = 2.0 \text{ ns}$ , minimale Pfadverzögerung  $t_{cd,path} = 1.0 \text{ ns}$ . Takt-Skew entrelation  $s = +0.8 \text{ ns}$  (Destination clock kommt später).

$$\text{Slack}_{setup} = T + s - (t_{pd,path} + t_{setup}) = 10 + 0.8 - (2.0 + 1.5) = 7.3 \text{ ns}.$$

$$\text{Slack}_{hold} = t_{cd,path} - (t_{hold} - s) = 1.0 - (0.7 - 0.8) = 1.1 \text{ ns}.$$

Timing-Erfüllung:  $\text{Slack}_{setup} \geq 0$  und  $\text{Slack}_{hold} \geq 0$  sind erfüllt.

Grobe Einschätzung zum Einfluss des Skew: Beide Slacks steigen linear mit dem Skew-Wert  $s$  (hier  $d\text{Slack}_{setup}/ds = 1$  und  $d\text{Slack}_{hold}/ds = 1$ ). Das bedeutet, dass eine Zunahme des Skew die Setup- und Hold-Slacks erhöht, während eine Abnahme des Skew beide Slacks verringert. Praktisch verbessert ein positiver Skew die Timing-Reserven beider Slacks, kann aber andere Aspekte wie Takt-zu-Takt-Integrität oder Clock-Distribution belasten.

d) Lösung (qualitativ): Eine Zunahme des Skew erhöht die Setup- und Hold-Slacks (beide Slacks wachsen). Eine Abnahme des Skew verringert tendenziell beide Slacks. Design-Entscheidungen können daher beinhalten: Optimierung der Clock-Distribution, Einsatz von Clock-Gating, oder Anpassung der Ziel-Topologies, um die gewünschten Slacks zu erreichen, insbesondere wenn eine Hold-Verletzung droht oder Setup-Buffering erforderlich ist.

## Lösungen zu Aufgabe 2: Auswirkungen von Takt-Skew auf Setup/Hold

a) Lösung: Gegeben:  $T = 12$  ns,  $t_{pd,path} = 3.5$  ns,  $t_{cd,path} = 1.8$  ns,  $t_{setup} = 2.0$  ns,  $t_{hold} = 0.9$  ns, Skew  $s = +0.6$  ns.

$$\text{Slack}_{setup} = T + s - (t_{pd,path} + t_{setup}) = 12 + 0.6 - (3.5 + 2.0) = 7.1 \text{ ns.}$$

$$\text{Slack}_{hold} = t_{cd,path} - (t_{hold} - s) = 1.8 - (0.9 - 0.6) = 1.8 - 0.3 = 1.5 \text{ ns.}$$

Beide Slacks sind positiv, daher ist Timing erfüllt.

b) Lösung: Negativer Skew  $s = -0.8$  ns, ansonsten dieselben Gegebenheiten.

$$\text{Slack}_{setup} = T + s - (t_{pd,path} + t_{setup}) = 12 - 0.8 - 5.5 = 5.7 \text{ ns.}$$

$$\text{Slack}_{hold} = t_{cd,path} - (t_{hold} - s) = 1.8 - (0.9 - (-0.8)) = 1.8 - 1.7 = 0.1 \text{ ns.}$$

Timing bleibt erfüllt, aber die Hold-Reserve ist mit kleiner werdendem Skew deutlich geringer. Qualitativ führt negativer Skew zu einer Verringerung der Slack-Werte (insbesondere Hold), weshalb Risiken für Hold-Verletzungen zunehmen, falls der Skew weiter absinkt oder andere Verzögerungen hinzukommen.

## Lösungen zu Aufgabe 3: Leistungskennwerte digitaler Systeme

Gegeben seien einfache Schaltungen mit folgenden Größen (nach Belieben frei wählbar, um die Formeln zu üben):

a) Dynamische Leistungsaufnahme Die Formel:

$$P_{\text{dyn}} = \alpha C V^2 f$$

Gegeben:  $\alpha = 0.25$ ,  $C = 8 \text{ fF} = 8 \times 10^{-15} \text{ F}$ ,  $V = 1.1 \text{ V}$ ,  $f = 600 \text{ MHz} = 6 \times 10^8 \text{ Hz}$ .

Berechnung:

$$P_{\text{dyn}} = 0.25 \cdot (8 \times 10^{-15}) \cdot (1.1)^2 \cdot (6 \times 10^8) = 0.25 \cdot 8 \times 10^{-15} \cdot 1.21 \cdot 6 \times 10^8 \approx 1.452 \times 10^{-6} \text{ W} \approx 1.45 \mu\text{W}.$$

b) Statische Leistungsaufnahme Gegeben:  $I_{\text{static}} = 0.9 \mu\text{A}$  bei  $V = 1.1 \text{ V}$ .

$$P_{\text{static}} = I_{\text{static}} \cdot V = (0.9 \times 10^{-6}) \cdot 1.1 \approx 0.99 \times 10^{-6} \text{ W} \approx 0.99 \mu\text{W}.$$

c) Lösung:

$$P_{\text{total}} = P_{\text{dyn}} + P_{\text{static}} \approx 1.452 \times 10^{-6} + 0.99 \times 10^{-6} \approx 2.442 \times 10^{-6} \text{ W} \approx 2.44 \mu\text{W}.$$

Die Energie pro Transition (pro Schaltzyklus einer Lastkette) ergibt sich zu

$$E = C V^2 = (8 \times 10^{-15}) \cdot (1.1)^2 = 9.68 \times 10^{-15} \text{ J} \approx 9.68 \text{ fJ}.$$

Interpretation: Erhöhung von  $C$  oder  $V$  erhöht die Energie pro Transition stark (insbesondere durch die quadratische Abhängigkeit von  $V$ ).

d) Lösung (Diskussion, ohne Lösung anzugeben): Nennen Sie drei Faktoren, die sowohl  $P_{\text{dyn}}$  als auch  $P_{\text{static}}$  beeinflussen, und erläutern Sie, wie man diese in der Praxis zur Reduktion des Energieverbrauchs einsetzen könnte.

Mögliche Faktoren und Maßnahmen: - Schaltaktivität  $\alpha$  (durch Reduktion unnötiger Toggle-Aktivität, z. B. durch Takt-Gating, Aktivitäts-Pfade optimieren). - Lastkapazität  $C$  (minimieren durch sorgfältiges Layout, Reduktion von Fan-out, bessere Trennung von Signalen). - Versorgungsspannung  $V$  (Voltage-Scaling, adaptive Spannungslösung, Einsatz von Multi-Threshold- oder Leckstrom-Reduktions-Technologien). - Temperatur- und Prozessabhängigkeiten (Optimierung von Transistorgrößen, Einsatz von technikorientierten Entwurfparadigmen wie Near-Threshold-Deterministik, falls sinnvoll).